

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0041145
Application Number PATENT-2002-0041145

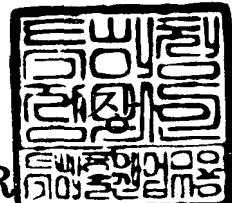
출원년월일 : 2002년 07월 15일
Date of Application JUL 15, 2002

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003년 01월 10일

특허청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0022
【제출일자】	2002.07.15
【국제특허분류】	H01L
【발명의 명칭】	반도체 소자의 제조 방법
【발명의 영문명칭】	Method of Forming Semiconductor Device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	1999-054155-9
【발명자】	
【성명의 국문표기】	정종구
【성명의 영문표기】	JUNG, Jong Goo
【주민등록번호】	711022-1635317
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 955-1 황골주공아파트 145-1903
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사를 청구합니다. 대리인 이후동 (인) 대리인 이정훈 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	2	면	2,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	19	항	717,000	원
【합계】			748,000	원
【첨부서류】	1. 요약서·명세서(도면)_1통 -.			

【요약서】**【요약】**

본 발명은 반도체 소자의 제조방법에 관한 것으로, 보다 상세하게는 산화막에 대해 친화도가 높은 알킬 암모늄 염을 포함하는 산화막용 화학적 기계적 연마 (Chemical Mechanical Polishing; 이하 "CMP"라 칭함) 슬러리를 이용하여 하드마스크 질화막의 손실 없이 층간 절연막을 식각함으로써, 안정한 엘피피 (landing plug poly)를 형성할 수 있는 반도체 소자의 제조 방법에 관한 것이다.

이와 같은 공정은 폐리 (peri) 영역에서 워드라인 전극 배선이 노출되는 것을 방지 할 뿐만 아니라, 후속 공정의 정렬 오차 (miss-align)를 감소시키고, 워드라인 배선과 스토리지 노드 콘택 (storage node contact)간에 발생하는 브리지 (bridge)의 방지함으로 누설 전류가 발생되지 않아 소자의 수율을 향상시킬 수 있다.

【대표도】

도 2f

【명세서】**【발명의 명칭】**

반도체 소자의 제조 방법{Method of Forming Semiconductor Device}

【도면의 간단한 설명】

도 1a 내지 도 1g는 일반적인 방법의 CMP 공정으로 반도체 소자를 제조하는 방법을 도시한 개략도.

도 2a 내지 도 2f는 본 발명의 슬러리를 이용한 CMP 공정으로 반도체 소자를 제조하는 방법을 도시한 개략도.

< 도면의 주요 부분에 대한 간단한 설명 >

1, 111 : 워드라인 전극 3, 113 : 하드마스크 질화막

5, 115 : 스페이서 막 7, 117 : 층간 절연막

9, 119 : 실리콘 층 11, 121 : 플러그

123 : 첨가제

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 반도체 소자의 제조방법에 관한 것으로, 보다 상세하게는 산화막에 대해 친화도가 높은 알킬 암모늄 염을 포함하는 산화막용 화학적 기계적 연마 (Chemical Mechanical Polishing; 이하 "CMP"라 칭함) 슬러리를 이용하여 하드마스크 질화막의 손

실 없이 충간 절연막을 식각함으로써, 안정한 엘피피 (landing plug poly; 이하 "LPP"라 칭함)를 형성할 수 있는 반도체 소자의 제조 방법에 관한 것이다.

<9> 현재 반도체 소자는 미세화, 대용량화 및 고집적화를 위해서 반도체 소자의 트랜지스터, 비트 라인 (bit-line) 및 캐패시터 (capacitor) 등을 형성한 다음, 각각의 소자를 전기적으로 연결할 수 있는 금속 배선 등과 같은 다층 배선을 형성하기 위한 후속 공정을 필수적으로 요구하고 있다.

<10> 그러나, 종래의 증착 및 식각 공정 기술로 상기 후속 공정을 실시하는 경우, 공정 마진이 부족하여 안정한 후속 공정을 적용하는 것이 점점 어려워지게 되었다.

<11> 특히, 상기와 같은 비트 라인과 캐패시터를 형성하기 위하여 콘택 홀 (contact hole) 위치에 미리 LPP를 증착한 후, 연마 공정을 실시할 때, 미세회로 스페이스 (Space) 와 같은 공정 마진이 부족하여 후속 공정이 불안정하게 된다.

<12> 즉, 종래 방법으로 상기 LPP를 형성할 때, CMP 공정 단계에서 종래의 일반적인 슬러리를 사용하면 셀 (cell) 영역과 페리 (peri) 영역의 산화막과 질화막의 연마 속도가 비슷해져서 셀 영역의 충간 절연막 뿐만 아니라, 페리 영역의 워드라인 패턴 상부에 형성된 충간 절연막 및 하드마스크까지 연마되어 워드라인 상부가 노출되는 문제점이 발생되고, 이러한 결과로 후속 공정은 불안정하게 된다.

<13> 이하 상기 종래의 공정을 첨부된 도면에 의거하여 상세히 설명하되, 반도체 소자의 공정 방법을 예를 들어 설명한다.

<14> 도 1a에 도시한 바와 같이 반도체 기판 즉, 실리콘 기판 상부에 워드라인 (1)을 증착하고, 그 상부에 질화막 하드마스크 (3)를 t_1 (1500~3200 Å) 두께 만큼

증착한 후, 패턴을 형성한다. 이 부분은 도 1b에 도시한 바와 같은 워드라인 패턴의 평면도에서 단면 (A-A') 부분을 관찰하여 알 수 있다.

<15> 상기 워드라인 패턴 형성 후 스페이서 막 (5)을 증착하고, 그 상부에 산화막을 이용한 층간 절연막 (7)을 t_2 ($5000\sim8000\text{\AA}$) 두께 만큼 증착 한 후, 층간 절연막을 평탄화 한다.

<16> 도 1c에서 도시한 바와 같이 상기 평탄화 된 층간 절연막 (7)의 셀 영역에 엘피씨 (landing plug contact) 마스크를 이용하여 플러그용 콘택 홀을 형성하면, 워드라인 패턴이 노출되기 때문에 패턴 상부의 질화막 하드마스크 (3)의 두께가 t_3 ($1000\sim2500\text{\AA}$) 만큼 감소한다 ($t_1>t_3$).

<17> 상기 층간 절연막 (7) 역시 상기 평탄화 공정에 의해 일부 제거되었기 때문에 처음 두께 보다 얇은 t_4 ($4500\sim7500\text{\AA}$)의 두께를 가진다 ($t_2>t_4$).

<18> 이러한 식각 공정에 의하여 콘택 홀이 형성되지 않은 영역 (a)과 콘택 홀을 형성하기 위하여 층간 절연막을 제거한 영역 (b)이 생기는 것을 도 1d에서 도시한 단면 (B-B') 부분을 통하여 관찰 할 수 있다.

<19> 도 1e에 도시한 바와 같이 상기 플러그용 콘택 홀 상부에 실리콘 층 (9)을 증착할 때, 상기 (a) 영역과 상기 (b) 영역의 단차로 인하여, 실리콘 층 (9) 역시 t_5 ($1000\sim2000\text{\AA}$) 두께의 후속 단차를 가지게 된다.

<20> 그 후, 플러그 (11)를 형성하기 위하여 상기 형성된 실리콘 층 (9), 층간 절연막 층 (7) 및 일부 질화막 하드마스크 층 (3)을 식각한다. 이때 제거되는 두께는 t_6 ($2200\sim3200\text{\AA}$) 이상일 때 바람직하다.

<21> 도 1f에 도시한 바와 같이 질화막 하드마스크가 노출 될 때 까지 일반적인 산화막 용 슬러리를 이용한 연마 공정을 수행하여 상기 플러그 (11)를 분리시킨다.

<22> 상기 일반적인 산화막용 슬러리는 콜로이달 (colloidal) 또는 품드 (fumed) 실리카 (SiO_2) 또는 알루미나 (Al_2O_3) 연마제를 포함하는 pH 2~12의 통상의 산화막 CMP용 슬러리를 사용한다.

<23> 그러나, 이때 도 1g에 도시한 바와 같이 폐리 영역의 상부는 실리콘 층 (9)이 없는 상태에서 CMP 공정이 수행되므로, 충간 절연막이 쉽게 연마될 뿐만 아니라, 충간 절연막 하부의 질화막 하드마스크까지 연마되어 워드라인이 노출되는 문제점이 발생되었다.

<24> 이러한 문제점은 후속 공정에서 정렬 오차 (miss-align)를 발생시키고, 워드라인 워드라인 배선과 스토리지 노드 콘택 (storage node contact; 이하 "SNC"라 칭함) 간에 브리지 (bridge)를 형성하여 누설 전류를 증가시켜, 반도체 소자의 수율을 감소시킨다.

【발명이 이루고자 하는 기술적 과제】

<25> 이에 본 발명은 상기와 같은 문제점을 해결하기 위하여 산화막에 대해 높은 친화도를 가지는 첨가물을 포함하는 산화막용 CMP 슬러리를 이용한 연마 공정으로 안전한 플러그를 형성하는 방법을 제공하는 것을 목적으로 한다.

【발명의 구성 및 작용】

<26> 상기 목적을 달성하기 위하여 본 발명에서는

<27> 반도체 기판 상부에 워드라인을 증착하는 단계;

<28> 상기 워드 라인의 중첩 부분에 질화막 하드마스크를 증착하여 워드 라인 패턴을 형성하는 단계;

<29> 상기 워드 라인 패턴 측면에 질화막 스페이서를 형성하는 단계;

<30> 상기 워드 라인 패턴 상부에 평탄화한 층간 절연막을 형성하는 단계;

<31> 상기 층간 절연막을 기판이 노출 될 때 까지 식각하여 콘택홀을 형성하는 단계;

<32> 상기 콘택홀이 형성된 층간 절연막 전면에 대해 실리콘 층을 형성하는 단계; 및

<33> 용매, 용매 내에 분산된 연마제 및 산화막에 대해 고친화도를 가지는 알킬 암모늄 염 ($(R_{(4-n)}H_nN^+X^-$; 이때 n 은 0~3)을 포함하는 산화막용 CMP 슬러리를 이용하여 상기 하드마스크 질화막이 노출될 때 까지 상기 실리콘 층 및 층간 절연막에 대해 CMP 공정을 실시하는 단계를 포함하는 반도체 소자의 형성 방법을 제공한다.

<34> 상기 층간 절연막은 산화막을 이용하여 형성하는 것이 바람직하다.

<35> 상기 산화막에 대해 높은 친화도를 가지는 알킬 암모늄 염 ($(R_{(4-n)}H_nN^+X^-$; 이때 n 은 0~3) (33)의 R 은 탄소수 10~50, 바람직하게는 탄소수 10~20의 직쇄 또는 측쇄의 긴 알킬 그룹인 것이 바람직하며, 탄소간 이중결합 또는 삼중 결합을 최소한 한 개 이상 가지는 불포화된 알킬 그룹을 포함할 수도 있다.

<36> 또한, 상기 알킬 암모늄 염의 음이온인 X^- 는 Cl^- , Br^- 또는 I^- 과 같은 할로겐 이온이나, CO_3^{2-} , PO_4^{3-} 또는 SO_4^{2-} 와 같은 복 이온인 것이 바람직하다.

<37> 상기 알킬 암모늄 염을 예를 들면, 도데실에틸디메틸암모늄 브로마이드 (dodecylethyldimethylammonium bromide), 올레일트리에틸암모늄 브로마이드 (oleyltriethylammonium bromide) 또는 디데실디메틸암모늄포스페이트 (didecyldimethylammonium phosphate)등이 있으며, 바람직하게는 세틸트리메틸암모늄 클로라이드 (cetyltrimethylammonium chloride)를 사용한다.

<38> 또한, 상기 알킬 암모늄 염은 슬러리 총 중량에 대해 0.01~10 wt%, 바람직하게는 0.01~1 wt% 포함된다.

<39> 상기 알킬 암모늄 염은 양이온 성격을 가지므로 음전하 성격을 가지는 산화막 표면과 상호 작용을 할 수 있다. 그래서 셀 영역의 플러그 분리를 위한 CMP 공정 시에 산화막의 노출이 많은 폐리 영역의 산화막 표면에서 양이온-음이온 상호 작용을 하여 충간 절연막과 패드의 접촉을 방해하므로, 충간 절연막의 연마 속도를 감소시킬 수 있다.

<40> 이러한 결과로, 플러그를 형성하는 연마 공정이 완료된 후에도 폐리 영역의 질화막 하드마스크가 잔존하여 워드라인 상부가 노출되지 않는 패턴을 유지하므로, 안정한 후속 공정을 수행 할 수 있다.

<41> 상기 산화막용 슬러리 조성물에 포함되는 용매는 중류수 또는 초순수를 사용하고, 연마제는 알루미나 또는 50~300nm의 입자 크기를 가지는 콜로이달 또는 품드 형의 실리카를 포함한다. 이때, 상기 알루미나는 슬러리 총 중량에 10~30 wt% 포함되고, 실리카는 슬러리 총 중량에 1~2 wt% 포함된 것이 바람직하다.

<42> 또한, 상기 슬러리는 pH 2~7의 산성 슬러리나 pH 8~12의 염기성 슬러리를 모두 사용할 수 있다.

<43> 이하 본 발명을 도면을 들어 상세히 설명한다.

<44> 먼저, 도 2a에서 도시한 바와 같이 반도체 기판 즉, 실리콘 기판 상부에 워드라인 (111)을 형성하고, 그 상부에 질화막 하드마스크 (113)를 t7 (1500~3000 Å) 두께 만큼 증착하여 패턴을 형성한다.

<45> 이때, 상기 워드라인 (111)은 도핑 실리콘, 폴리 실리콘, 텅스텐 (W), 텅스텐 나이트라이드 (WN), 텅스텐 실리사이드 (WSi_x), 또는 티타늄 실리사이드 ($TiSi_x$) 등을 사용하여 형성하는 것이 바람직하다.

<46> 그 후, 게이트 산화막에 대해 고선택비를 갖도록 사염화 탄소 (CCl_4)나 염소 (Cl_2) 등과 같은 염소 (chlorine) 가스를 소스로 사용하는 플라즈마 식각 공정으로 워드라인 패턴을 형성한다.

<47> 상기 워드라인 패턴 형성 후, 그 측면에 TEOS (Tetraethoxysilicate glass) 또는 실란계열 산화막 (silane (SiH_4)-base oxide)을 LP 화학 기상 증착법 (Low-Pressure CVD)으로 증착한 후, 전면 식각하여 산화막 스페이서 (115)를 형성한다.

<48> 그리고, 상기 워드라인 패턴 상부에 BPSG (borophosphosilicate glass), PSG (phosphosilicate glass), FSG (fluorosilicate glass), PE-TEOS (plasma enhanced tetraethoxysilicate glass), PE- SiH_4 (plasma enhanced-silane), HDP USG (high density plasma undoped silicate glass), HDP PSG (high density plasma phosphosilicate glass) 또는 APL (atomic planarization layer) 옥사이드 등을 소스로 산화막을 t_8 두께 (5000~8000 Å)만큼 증착하여 충간 절연막 (117)을 형성한 후, 후속 공정을 위하여 평탄화한다.

<49> 도 2b에 도시한 바와 같이 상기 평탄화 된 충간 절연막 (117)의 셀 영역에 엘피씨 마스크를 이용한 식각 공정으로 플러그용 콘택 훌을 형성한다.

<50> 상기 플러그용 콘택 홀을 형성하기 위한 식각 공정은 질화막에 대한 선택비가 높은 C_2F_6 또는 C_3F_8 , 바람직하게는 C_4F_8 소스를 이용한 자기정렬 콘택 (self-aligned contact; SAC) 공정으로 수행한다

<51> 이때, 상기 콘택 홀을 형성하기 위한 식각 공정에서, 워드라인 패턴이 노출되기 때문에 패턴 상부의 질화막 하드마스크 (113)가 t_9 ($1000\sim2500\text{\AA}$) 두께로 감소한다 ($t_7 > t_9$).

<52> 또한, 충간 절연막 (117) 역시 상기 평탄화 공정에 의해 일부 제거되어 처음 보다 얇은 t_{10} ($4500\sim7500\text{\AA}$)의 두께를 가진다 ($t_8 > t_{10}$).

<53> 도 2c에 도시한 바와 같이 상기 플러그용 콘택 홀 상부에 실리콘 층 (119)을 증착할 때, 상기 콘택 홀이 형성되지 않은 영역과 콘택 홀을 형성하기 위하여 충간 절연막을 제거한 영역의 단차로 인하여, 실리콘 층 (119) 역시 t_{11} ($1000\sim2000\text{\AA}$)의 후속 단차를 가진다.

<54> 상기 실리콘 층 (119)은 실란 (SiH_4) 또는 디실란 (Si_2H_6) 소스를 이용한 도핑 실리콘 또는 폴리 실리콘으로 형성되는 것이 바람직하다.

<55> 그리고, 플러그 (121)를 형성하기 위하여 상기 증착한 실리콘 층 (119), 충간 절연막 (117) 및 일부 하드마스크 질화막 (113)을 식각한다. 이때 제거되는 두께는 t_{12} ($2200\sim3200\text{\AA}$)이상일 때 바람직하다.

<56> 도 2d 및 도 2e에 도시한 바와 같이 플러그 (121)를 분리하기 위하여 하드마스크 질화막이 노출 될 때 까지 본 발명의 알킬 암모늄 염을 포함하는 슬러리를 이용한 연마 공정을 수행한다.

<57> 이때, 연마 패드는 하드 패드를 사용하는 것이 바람직하며, 상기 CMP 연마 조건은 연마 압력 2~6 psi 및 테이블 회전수 300~700 rpm에서 실시한다.

<58> 그러면, 도 2f에 도시한 바와 같이 플러그가 형성된 후에도 t_{13} (1000~2000 Å)의 두께를 가지는 질화막 하드마스크 막이 남아 있으므로, 안정한 후속 공정을 수행할 수 있다.

<59> 이하 본 발명을 실시예에 의하여 상세히 설명한다. 단 실시예는 발명을 예시하는 것일 뿐 본 발명이 하기 실시예에 의하여 한정되는 것은 아니다.

<60> 제조예 1.

<61> 연마제로 콜로이달실리카를 20 wt% 포함하고 있는 일반적인 산화막용 슬러리 99 wt%에 세틸트리메틸암모늄 클로라이드 1 wt%를 응집하지 않도록 교반하면서 첨가한 후, 혼합물을 완전히 혼합되어 안정화 될 때까지 약 30분 동안 더 교반하여 산화막에 대해 고친화도를 가지는 첨가물이 포함된 본 발명의 산화막용 슬러리를 제조하였다.

<62> 제조예 2.

<63> 연마제로 품드 실리카를 20 wt% 포함하고 있는 일반적인 산화막용 슬러리 90 wt%에 올레일트리에틸암모늄 브로마이드 2 wt%를 응집하지 않도록 교반하면서 첨가하고, 이온 수를 8 wt% 혼합한 후, 혼합물이 안정화 될 때까지 약 30분 동안 더 교반하여 산화막에 대해 고친화도를 가지는 첨가물이 포함된 본 발명의 산화막용 슬러리를 제조하였다.

<64> 제조예 3.

<65> 연마제로 알루미나를 10 wt% 포함하고 있는 일반적인 산화막용 슬러리 90 wt%에 디데실메틸암모늄 포스페이트 5 wt%를 응집하지 않도록 교반하면서 첨가하고, 이온수를 5

wt% 혼합한 후, 혼합물이 안정화 될 때까지 약 30분 동안 더 교반하여 산화막에 대해 고 친화도를 가지는 첨가물이 포함된 본 발명의 산화막용 슬러리를 제조하였다.

<66> 실시예 1. 본 발명의 슬러리를 이용한 연마

<67> 상기 제조예 1에서 얻어진 본 발명의 슬러리 조성물을 이용하여 연마 압력 3 psi 및 테이블 회전수 600 rpm에서 충간 절연막에 대해 CMP 공정을 실시하였다.
<68> 상기 CMP 공정 후에도 폐리 영역의 워드라인 상부에 1000~2000Å 두께의 질화막 하드마스크가 남아 있으므로 후속 공정에 안정한 플러그를 형성할 수 있었다.

<69> 실시예 2. 본 발명의 슬러리를 이용한 연마

<70> 상기 제조예 2에서 얻어진 본 발명의 슬러리 조성물을 이용하여 연마 압력 3 psi 및 테이블 회전수 600 rpm에서 충간 절연막에 대해 CMP 공정을 실시하였다.
<71> 상기 CMP 공정 후에도 폐리 영역의 워드라인 상부에 1000~2000Å 두께의 질화막 하드마스크가 남아 있으므로 후속 공정에 안정한 플러그를 형성할 수 있었다.

<72> 실시예 3. 본 발명의 슬러리를 이용한 연마

<73> 상기 제조예 3에서 얻어진 본 발명의 슬러리 조성물을 이용하여 연마 압력 3 psi 및 테이블 회전수 600 rpm에서 충간 절연막에 대해 CMP 공정을 실시하였다.
<74> 상기 CMP 공정 후에도 폐리 영역의 워드라인 상부에 1000~2000Å 두께의 질화막 하드마스크가 남아 있으므로 후속 공정에 안정한 플러그를 형성할 수 있었다.

【발명의 효과】

<75> 이상에서 살펴본 바와 같이, 본 발명의 공정은 폐리 영역에서 워드라인 전극 배선이 노출되는 것을 방지할 뿐만 아니라, 후속 공정의 정렬 오차를 감소시키고, 워드라인

배선과 SNC 간에 발생하는 브리지를 방지함으로써, 누설 전류가 발생되지 않아 반도체 소자의 수율을 향상시킬 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 상부에 워드라인을 증착하는 단계;

상기 워드 라인의 중첩 부분에 질화막 하드마스크를 증착하여 워드 라인 패턴을 형성하는 단계;

상기 워드 라인 패턴 측면에 질화막 스페이서를 형성하는 단계;

상기 워드 라인 패턴 상부에 평탄화한 층간 절연막을 형성하는 단계;

상기 층간 절연막을 기판이 노출 될 때 까지 식각하여 콘택홀을 형성하는 단계;

상기 콘택홀이 형성된 층간 절연막 전면에 대해 실리콘 층을 형성하는 단계; 및 용매, 용매 내에 분산된 연마제 및 산화막에 대해 고친화도를 가지는 알킬 암모늄 염 ($R_{(4-n)}H_nN^+X^-$; 이때 n 은 0~3)을 포함하는 산화막용 CMP 슬러리를 이용하여 상기 하드마스크 질화막이 노출될 때 까지 상기 실리콘 층 및 층간 절연막 층에 대해 CMP 공정을 실시하는 단계를 포함하는 반도체 소자의 형성 방법.

【청구항 2】

제 1 항에 있어서,

상기 연마제는 50~300 nm의 입자 크기를 가지는 콜로이달 (colloidal) 또는 품드 (fumed) 실리카 (SiO_2)인 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 3】

제 1 항에 있어서,

상기 연마제는 알루미나 (Al_2O_3)인 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 4】

제 1 항에 있어서,

상기 산화막용 슬러리 조성물은 pH 2~7인 것을 특징으로 반도체 소자의 형성 방법.

【청구항 5】

제 4 항에 있어서,

상기 산화막용 슬러리 조성물은 pH 8~12인 것을 특징으로 반도체 소자의 형성 방법.

【청구항 6】

제 1 항에 있어서,

상기 R은 탄소수 10~50의 직쇄 또는 측쇄의 알킬을 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 7】

제 6 항에 있어서,

상기 R은 탄소수 10~20의 직쇄 또는 측쇄의 알킬을 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 8】

제 7 항에 있어서,

상기 R은 이중결합 또는 삼중 결합을 최소한 한 개 이상 가지는 불포화된 알킬 그 룹을 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 9】

제 1 항에 있어서,

상기 X^- 는 Cl^- , Br^- , I^- , CO_3^{2-} , PO_4^{3-} 및 SO_4^{2-} 로 이루어진 군으로부터 선택된 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 10】

제 1 항에 있어서,

상기 알킬 암모늄 염은 도데실에틸디메틸암모늄 브로마이드 (dodecylethyldimethylammonium bromide), 올레일트리에틸암모늄 브로마이드 (oleyltrimethylammonium bromide), 디데실디메틸암모늄 포스페이트 (didecyldimethylammonium phosphate) 및 세틸트리메틸암모늄 클로라이드 (cetyltrimethylammonium chloride)로 이루어진 군으로부터 선택된 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 11】

제 1 항에 있어서,

상기 알킬 암모늄 염은 슬러리 총 중량에 대해 0.01~10 wt%로 포함되는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 12】

제 11 항에 있어서,

상기 알킬 암모늄 염은 슬러리 총 중량에 대해 0.01~1 wt%로 포함되는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 13】

제 1 항에 있어서,

상기 워드라인은 도핑 실리콘, 폴리 실리콘, 텅스텐 (W), 텅스텐 나이트라이드 (WN), 텅스텐 실리사이드 (WSi_x) 및 티타늄 실리사이드 ($TiSi_x$)로 이루어진 군으로부터 선택된 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 14】

제 1 항에 있어서,

상기 워드라인 패턴은 사염화 탄소 (CCl_4) 또는 염소 (Cl_2) 가스를 이용하는 식각 공정으로 형성하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 15】

제 1 항에 있어서,

상기 스페이서는 TEOS (Tetraethoxysilicate glass) 또는 실란계열 산화막 (silane (SiH_4)-base oxide)으로 형성하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 16】

제 1 항에 있어서,

상기 층간 절연막은 BPSG (borophosphosilicate glass), PSG (phosphosilicate glass), FSG (fluorosilicate glass), PE-TEOS (plasma enhanced tetraethoxysilicate glass), PE- SiH_4 (plasma enhanced-silane), HDP USG (high density plasma undoped silicate glass), HDP PSG (high density plasma phosphosilicate glass) 및 APL

(atomic planarization layer) 옥사이드로 이루어진 군으로부터 선택되는 것을 이용하여 형성하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 17】

제 1 항에 있어서,

상기 콘택홀을 형성하는 식각 공정은 C_2F_6 , C_3F_8 또는 C_4F_8 소스를 이용하여 수행되는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 18】

제 1 항에 있어서,

상기 실리콘 층은 실란 (SiH_4) 또는 디실란 (Si_2H_6) 소스를 이용하는 도핑 실리콘 또는 폴리 실리콘으로 형성하는 것을 특징으로 하는 반도체 소자의 형성 방법.

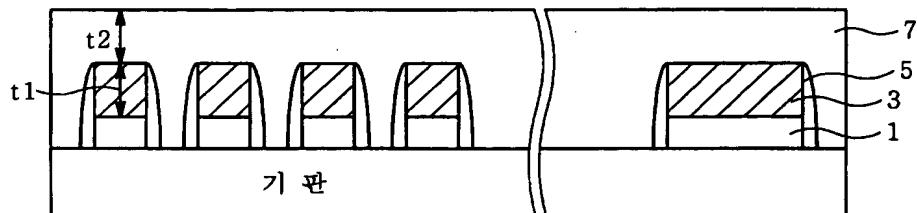
【청구항 19】

제 1 항에 있어서,

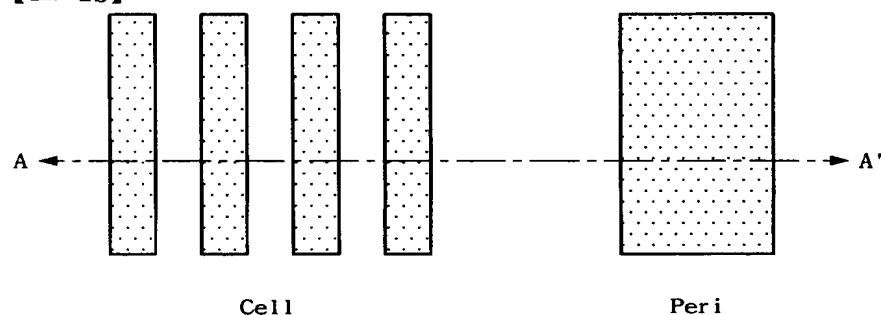
상기 CMP 공정은 하드 패드를 사용하여 실시하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【도면】

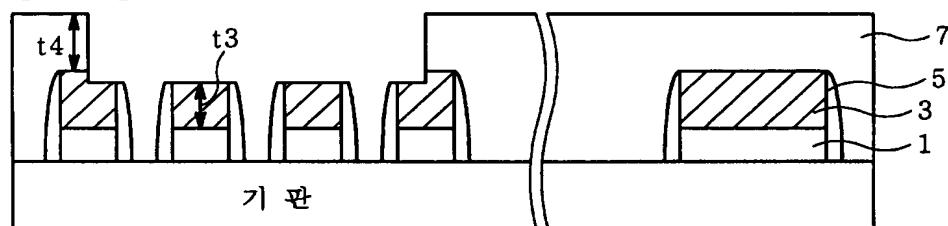
【도 1a】



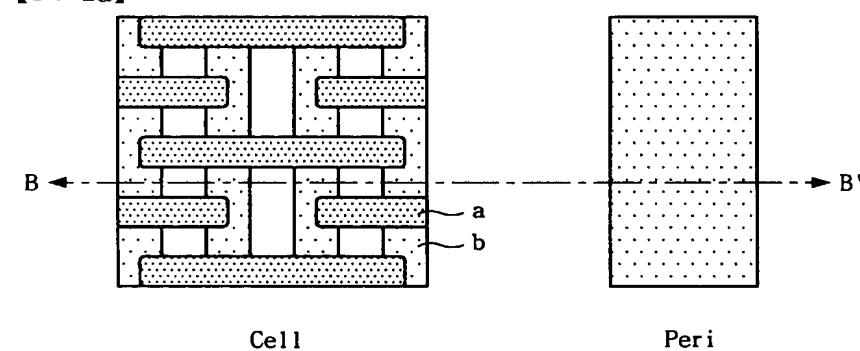
【도 1b】



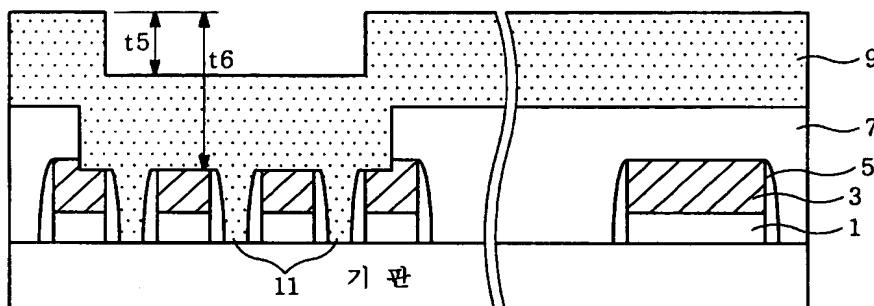
【도 1c】



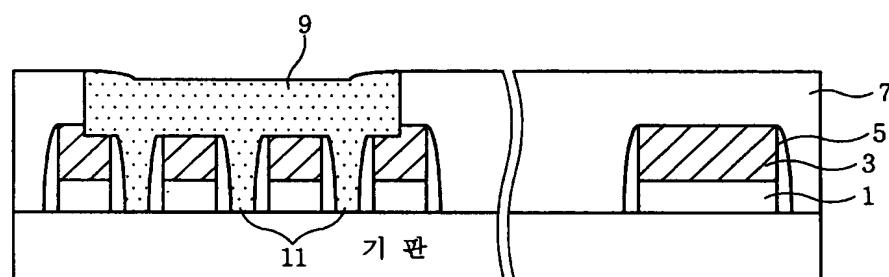
【도 1d】



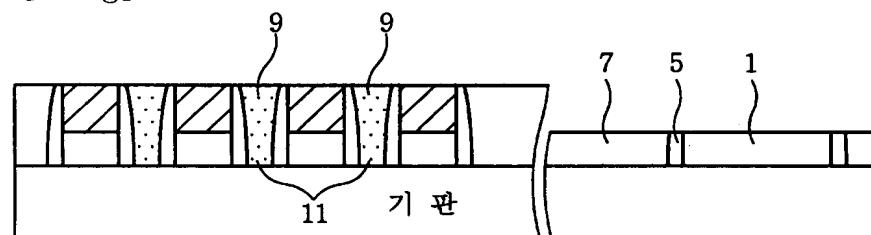
【도 1e】



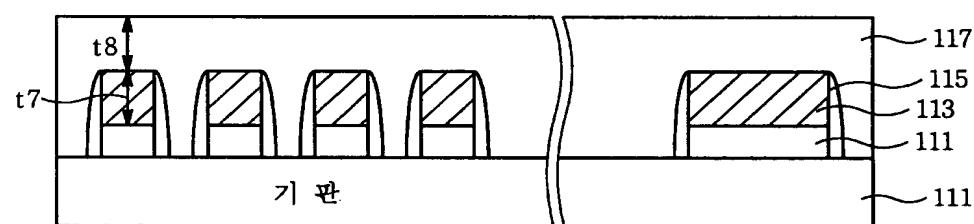
【도 1f】



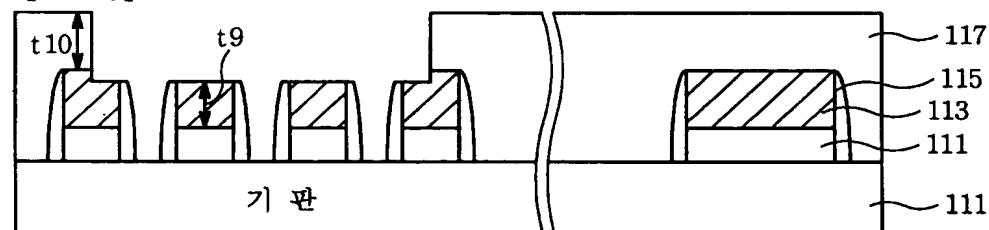
【도 1g】



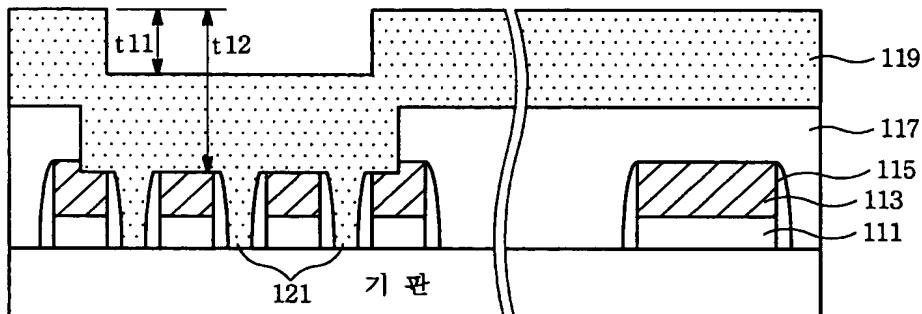
【도 2a】



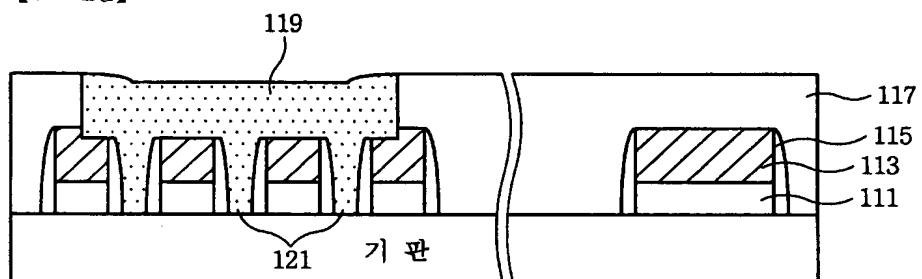
【도 2b】



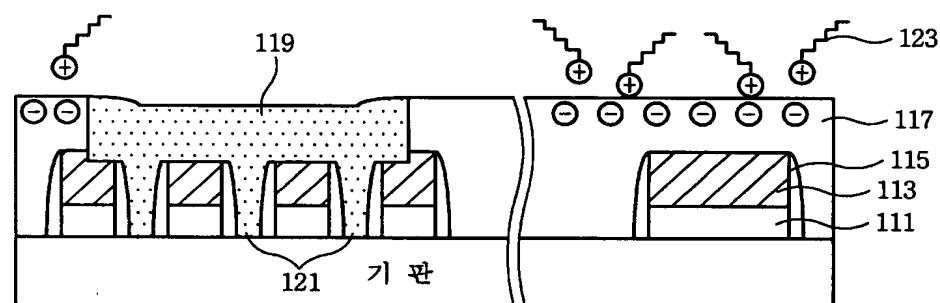
【도 2c】



【도 2d】



【도 2e】



【도 2f】

